



[12] 发明专利申请公开说明书

[21] 申请号 91103681.4

[51] Int.Cl⁵

[43] 公开日 1991 年 12 月 18 日

H01L 29/784

[22]申请日 91.6.3

[30]优先权

[32]90.6.4 [33]JP [31]144544/90

[71]申请人 佳能株式会社

地址 日本东京都

[72]发明人 松本繁幸

[74]专利代理机构 中国国际贸易促进委员会专利
代理部

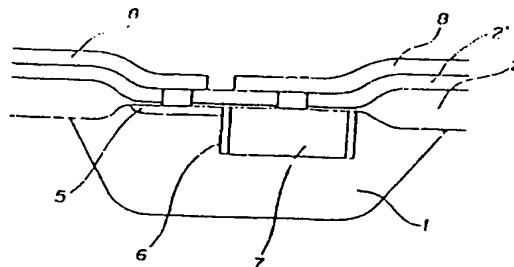
代理人 王以平

说明书页数: 21 附图页数: 15

[54]发明名称 具有改良的绝缘栅型晶体管的半导体
器件

[57]摘要

半导体器件,包括具有由半导体形成的源和漏区、栅绝缘膜和栅电极区的晶体管,所述源、漏、栅绝缘膜和栅电极沿基片的主表面并列设置,其中至少一部分隐埋在该基片内。根据本发明,能够使 MOS 晶体管的面积小且表面平坦,从而能得到高速且高可靠的 MOS 晶体管。



(BJ)第1456号

权 利 要 求 书

1. 一种含有半导体形成的源区、漏区、栅绝缘膜以及栅电极区的绝缘型晶体管的半导体器件，其特征在于，所说源区和漏区、所说栅绝缘膜及栅电极区沿半导体基片的主表面方向并列设置，至少其中的一部分隐埋在所说的基片内。

2. 一种如权利要求1所述的半导体器件，其特征在于，上述晶体管的沟道沿着与上述基片主表面相交的面方向形成，载流子沿该主表面的方向移动。

3. 一种如权利要求1所述的半导体器件，其特征在于，在上述栅电极区之下形成半导体区，上述源区和漏区夹住该栅电极区而设置。

4. 一种如权利要求1所述的半导体器件，其特征在于，构成上述栅电极的构件是电阻率为 $10\mu\Omega\text{cm}$ 以下的材料。

具有改良的绝缘栅型晶体管
的半导体器件

本发明涉及装载于各种电子仪器上的存储器、光电变换器件、信号处理器件等半导体集成电路器件，特别涉及绝缘栅型晶体管。

近年来，人们希望把微细加工的功能元件付诸实用，如开发其栅长为亚微米量级的MOS晶体管，向高集成度方向努力。

图1至图3是表示现有技术的MOS晶体管构造的示意剖面图。图1是在具有栅极201、氧化膜202、源极203以及漏极204的单漏结构的N—MOS晶体管的最简单结构，其制造工艺也是简单的。但是，由于微细加工的进步，若栅长在约 $1.2\mu\text{m}$ 以下，就会因热载流子导致MOS晶体管的工作性能变坏。图2是设置了低浓度区域205和206的结构，称为LDD（轻掺杂漏）结构。所述低浓度区是为了防止上述缺点而缓和源、漏间的电场用的。作为更微细化最新发展的DRAM用的LSL，提出了图3所示的薄型晶体管单元（TTC）。它在半导体基片211上设置一个槽，同时形成晶体管和电容。即，在槽内置有栅氧化膜213，在栅氧化膜213的侧面设有沟道214。在栅212的下部槽内填积多晶硅215，成为记忆用的电容电极，将其表面氧化，构成电容用的介电膜216。在多晶硅215的上部形成埋入的源极217。还具有多晶硅1形成的作为字线218、漏极及位线的 n^+ 扩散层219，由隔离氧化膜220

与邻接的单元电绝缘。在绝缘膜 2 2 1 和层间绝缘膜 2 2 2 上形成各自的布线图形 2 2 3 及 2 2 4。此种 T T O，由于晶体管和电容是在上下两个方向上形成的，所以具有面积小，不易因受 α 射线的影响而产生误动作，以及没有寄生晶体管等优点。

然而上述晶体管单元，在下述各点尚有改善的余地。

1) 在图 3 的半导体器件中，仅从晶体管部分来看，深度/孔径比约为 2 左右，因此由于 S 1 腐蚀中产生的缺陷，使成品率下降，还有在槽中难以形成均匀的优质绝缘膜，使可靠性也有问题。

2) 还有在 T T O 中，一般用作控制电极材料的多晶硅，即使让杂质最大限度地扩散，其电阻率也不会降至 $1 \text{ m}\Omega \cdot \text{cm}$ ，这就不能减小决定晶体管速度的传输、延迟时间。即使采用硅化物 (S 1 金属合金来替代多晶硅，也得不到电阻率约为 $100 \sim 200 \mu\Omega \cdot \text{cm}$ 的高速、高成品率以及高可靠性的晶体管。

3) 再有，通常由于控制电极同样淀积在半导体器件的表面，在控制电极表面反映出槽本身的凹凸不平，这是与平坦化背道而驰的。也就是，为了保持在这种控制电极上淀积的布线的可靠性，必须把控制电极上的绝缘膜作得厚些，必须用反复腐蚀法进行平坦化。此种办法。只是在凹部留下较厚的光刻胶，在 rf 等离子体中把光刻胶凹部的绝缘膜同时削去的方法，因 rf 给 MOS 晶体管带来的影响很大，所以有损于成品率和可靠性的危险也是大的。

本发明的目的在于：解决上述技术课题，提供面积小且表面平坦的半导体器件。

为达此目的，依照本发明的半导体器件包含具有由半导体形成的

源区和漏区、栅绝缘膜和栅电极区的晶体管，其特征在于，沿基片的主表面方向并列设置上述源区和漏区、上述栅绝缘膜和上述栅电极区并至少将其中一部分埋入该基片内。

例如，本发明的包含具有由半导体形成的源区和漏区、栅绝缘膜和栅电极区的晶体管的半导体器件的制造方法，其特征在于包括：将上述源区和漏区、栅绝缘膜和栅电极中的至少一部分埋设在半导体基片内的工序，将上述源区和漏区以及上述栅电极区沿上述基片的主要方向设置的工序。

根据本发明，把控制电极埋设在半导体基片表面之下，所以能实现面积小、且表面平坦的MOS晶体管，从而能得到高速且可靠性高的MOS晶体管。

下面结合附图说明本发明。

图1～图3是现有技术各MOS晶体管的剖面图。

图4是说明本发明优选的实施形式的剖面图。

图5是本发明实施例的平面图和剖面图。

图6～图8是本发明各其他实施例的平面图。

图9是说明图8所示实施例的制造方法的示意剖面图。

图10是本发明另一实施例的平面图及等效电路图。

图11是又一种实施例的平面图及剖面图。

图12、图13是适合于实施形成本发明半导体器件的布线层的成膜方法的一种成膜装置的示意图。

图14是图12、图13所示装置的简略平面结构图。

图15是增加了图14中基片移动顺序箭头的简略结构图。

图 16 (A) 至图 16 (D) 是适合于形成本发明的半导体器件布线层的成膜方法的示意图。

以下对本发明进行说明，本发明不受下述实施例的限制，凡能实现本发明目的的结构都是许可的。

图 4 是说明本发明的理想的实施形式的剖面图。本发明是将 MOS 晶体管的控制电极区 7 的一部分或全部由半导体基片 1 的表面埋设而形成的。另外，本发明的实行 MOS 晶体管的晶体管工作的沟道部分 6 的一部分或全部是在该表面的下部形成的。

还有，本发明用化学气相反应选择淀积形成该控制电极的一部分或全部，平坦地形成了该半导体器件的表面。

图 4 所示的实施形式示出了源（漏）区 5、绝缘膜 2、2' 以及布线层 8，但如上所述，本发明不受此种结构的限制。

为在槽中形成控制电极区、并实现半导体器件的表面平坦度，用下述诸如铝一类的金属膜的选择淀积是有效的。

实施例 1

图 5 表示作为本发明实施例的 MOS 晶体管。图 5 (a) 表示在由 P 型芯片 1、场氧化膜 2 包围的部分内形成的 N MOS 晶体管 3 的平面图，图 5 (b)，5 (c) 及 5 (d) 各自表示沿图 5 (a) 的 A—A'、B—B' 以及 C—C' 线的剖面图。

本 NMOS 晶体管的源 4 和漏 5 设置在平面隔开的位置上，在由基片表面垂直向下的方向设置分别与源 4、漏 5 邻接的栅氧化膜 6，把与栅氧化膜 6 邻接的栅电极（控制电极）区 7 从基片表面埋设到比源 4、漏 5 更深的深度，将源 4 和漏 5 隔开的区间是称为沟道 9 的进

行晶体管工作的区域。本晶体管的表面由于控制电极的隐埋而大体上是平坦的。本发明的晶体管用层间绝缘层 2' 覆盖表面, 通过为从源 4 漏 5 以及栅极引出电极的接触孔引出 A 1 等金属布线 8。在金属布线 8 的形成工序中, 为了防止接触孔部位的 A 1 塌陷, 有效的方法是先把 A 1 有选择地淀积在接触孔内, 即只淀积在半导体基片上, 在接触孔被填平后, 再在绝缘膜表面上全面淀积布线材料, 按图形形成布线。

本发明的 MOS 晶体管是用栅电极 7 控制源极 4 和漏极 5 之间沟道 9 的电导的元件。在源极 4 与漏极 5 之间施加一电压 V_D 时, 如在栅极 7 上外加一电压 V_G , 所流过的电流由下式决定:

当 $V_D < V_G - V_T$ 时,

$$I_D = \frac{W}{L} \mu C_{ox} \left[(V_G - V_T) V_D - \frac{1}{2} V_D^2 \right]$$

当 $V_D > V_G - V_T$ 时

$$I_D = \frac{1}{2} C_{ox} \cdot \mu \cdot \frac{W}{L} (V_G - V_T)^2$$

(C_{ox} : 栅电容, μ : 载流子迁移率, W : 沟道宽度, L : 沟道长度, V_T : 阈值电压)

目前对 MOS 晶体管的要求是:

- 1) 要把晶体管做在小的面积内,
- 2) 晶体管能高速工作。

本实施例对上述两点进行了大幅度的改善，晶体管的面积只有以往的80%。与速度相关的重要因素是栅极电阻。现有技术使用的各多晶硅1栅的电阻为 $30 \sim 80 \Omega / \text{cm}^2$ ，采用多晶化（ホリサイト）¹，达到 $2 \sim 5 \Omega / \text{cm}^2$ ，而本发明可以实现 $1 \times 10^{-6} \Omega / \text{cm}^2$ 的低电阻。其理由在于，金属电极是直接埋入的，所用的A1具有单晶结构，而且因为是埋入型的，所以可把膜作得足够厚。

实施例2

图6是根据本发明的NMOS晶体管的另一实施例的平面图。本实施例是为了实现进一步的高速化，把栅极7与源极和漏极5之间的重叠部分减小，而减少电容量的例子。即，通过改变栅电极7的配置，一方面要确保沟道，与图5所示之例相比，又可以减小电容量。

实施例3

图7表示又一种实施例的平面图。本实施例的沟道部分9，由于中间设置了绝缘膜6，而不与构成栅极7的部件直接接触，隔着中间的多晶硅10而设置了栅极材料。根据此种结构，可防止栅极材料直接向绝缘膜扩散，并不管栅电极材料的功函数如何，由于使用了以往工艺中使用的多晶硅，均能得到具有与现有技术完全相同特性的MOS晶体管，而且由于进一步减少了栅极的串联电阻，故可以得到微细结构的高速MOS晶体管。

实施例4

图8是本发明另一实施例的平面图。本实施例与图7所示的例子相比，为使栅电极与P型阱之间的寄生电容量进一步减小，加厚了栅极部件埋入部位的开口周围三个方向的氧化膜，就可大大减小寄生电

容。

其次，叙述图8所示实施例的制造方法。图9(a)至图9(g)表示图8所示实施例沿A—A线的剖面。

首先，在N型Si晶片101上，用现有技术的方法，形成P阱102，将晶片表面12000Å厚的氧化膜103的一部分去掉(图9(a))。

其次，以12000Å厚的氧化膜103作掩模，按照使用 O_2 ， CF_4 气体的RIE(反应离子腐蚀)法腐蚀晶片，形成槽104。晶片腐蚀的深度为3μm(图9(b))。

然后除掉上述氧化膜103，在整个晶片上全面形成1000Å厚的热氧化膜105及SiN膜106，再去掉部分SiN膜(图9(c))。

采用以往使用的LOCOS法，只在除去了SiN膜106的部分形成场氧化膜107。形成条件是 O_2 ：2 l/分钟， H_2 ：4 l/分钟；氧化温度为1000℃，膜厚为8000Å。其后除掉SiN膜106(图9(d))。

接着，在HF的气氛中，完全除去晶片上的氧化膜105后，形成栅绝缘膜108。形成温度为850℃，膜厚为180Å。作为MOS晶体管栅极的一部分，用 SiH_4 的热分解法在栅极绝缘膜108全表面上淀积一层多晶硅109，在 CCl_4 ， F_2 气氛中，用RIE方法去掉其中的一部分多晶Si。为了形成MOS晶体管的源、漏扩散层110，以 5×10^{15} 离子/cm²的剂量注入砷。另外砷也注入到多晶Si109中，起到降低多晶Si109电阻率的作用。

用。然后，为了电激活源、漏扩散层，使用 RTA（快速热退火）法进行 1000°C 15 秒钟的热处理（图 9（e））。

随后，只在上述多晶 Si 109 上淀积 Al 1111。

下文介绍该淀积方法。首先把基片放入 CVD 装置的反应室内，把反应室抽真空至 1×10^{-8} 毛左右。然后，由供气管道供给 DMAH。另外携带气体用 H_2 。再使来自另一气体管道的作为反应气体的 H_2 流过加热至 270°C 的基片。对此情况，典型的压力约 1.5 毛，DMAH 的分压约 5×10^{-8} 毛。用此办法，只在具有导电性的多晶 Si 109 上选择淀积 Al，而不在氧化膜 108 和场氧化膜 107 上淀积。因而，Al 1111 形成了 MOS 晶体管栅电极的一部分（图 9（f））。

然后淀积作为层间绝缘膜 112 的 BPSG，为了引出电极，开接触孔 113、114，用上述 Al—CVD 法，在接触孔 113、114 内填入 Al（图 9（g））。

如此则可制作出图 8 所示的 MOS 晶体管。

实施例 5

图 10 表示又一个实施例。图 10（a）表示平面图，图 10（b）表示等效电路图。本实施例为以共用的栅电极连接两个 NMOS 晶体管的例子。

实施例 6

图 11 表示了另一种实施例。图 11（a）为平面图，图 11（b）为剖面图。本实施例与图 5～图 10 所示的实施形式根本的差异在于：沟道部分 11 和 12 沿埋入的栅电极 7、在与基片表面垂直

的方向上形成。当栅电极 7 加有电压 V_G 时，由源 4 流向漏 5 的电流，按箭头 1 4 的方向流动，再流入设置在由多晶 Si 和金属材料构成的栅极正下方的高掺杂区 (n^+) 1 3。然后，电流再通过沟道 1 2，按箭头 1 5 方向流入漏极 5。电流中除存在沿与表面垂直的方向流动的电流成分之外，还存在着如图 1 1 (a) 箭头 1 6 所示的沿表面流动的成分。

适用于本发明的成膜方法是使用氢化烷基铝气体和氢气，通过在贡献电子的基片上的表面反应而形成淀积膜的方法（以下称 A 1—C V D 法）。

特别是，可用氢化一甲基铝或氢化二甲基铝作为原料气体，用 H_2 气作为反应气体。在这些气体的混合气体中加热基片表面就可以淀积得到优质的 A 1 膜。在选择淀积 A 1 时，用直接加热或用间接加热，把基片表面温度保持在氢化烷基铝的分解温度以上、不到 450℃ 为好，更好的是保持在 260℃ 以上、440℃ 以下。

要尽量使基片在上述温度范围内加热的方法有直接加热和间接加热两种方式，不过，用直接加热把基片保持在上述温度，能以高的淀积速度形成优质的 A 1 膜。例如，当使 A 1 膜形成时的基片表面温度处在较理想的温度范围 260℃~440℃ 时，能够以比电阻加热的 300 A°~5000 A°/分钟还要高的淀积速度获得优质的膜。作为此种直接加热（由加热器具使能量直接传递给基片、使基片本身加热）的方法，例如，推荐用卤素灯、氙灯等灯加热法。作为间接加热方法的有电阻加热、可以用安置在为支承待形成淀积膜的基片而配置在淀积膜形成空间的基片支承部件上设置的发热体来进行。

依据此法，若在贡献电子的表面与不贡献电子的表面共存的基片上采用 O V D 法，就能只在贡献电子那部分基片表面上选择性良好地形成 A l 单晶。此种 A l 就成为所要求的各种性能均良好的电极/布线材料。也就是说，能达到降低小丘的发生概率和合金尖峰的发生概率。

可以认为，在作为贡献电子的表面的由半导体和导体组成的表面上，可选择形成优质的 A l，而且由于 A l 的结晶性很好，所以几乎看不见，或极少有由于与下面的硅/等的共晶反应而形成的合金尖峰从而，采用这样的铝作半导体器件的电极，能取得超越以往一直持有的 A l 电极概念的，现有技术所预想不到的效果。

以上说明了在形成了贡献电子的表面，例如形成在绝缘膜上的半导体表面所露出的开孔内，淀积的 A l 成为单晶结构的情况。若用此种 A l—O V D 法也可以选择淀积如下的以 A l 为主要成分的金属膜，其膜的质量也呈现出优良的特性。

例如，在氢化烷基铝的气体和氢气中，还可加添下列气体进行适当组合作为混合气体的环境气体，选择淀积 A l—S i、A l—T i、A l—C u、A l—S i—T i、A l—S i—C u 等等导电材料，也可以形成电极。这些添加的气体有： SiH_4 、 Si_2H_6 、 Si_2H_8 、 $\text{Si}(\text{CH}_3)_4$ 、 SiCl_4 、 SiH_2Cl_2 、 SiHCl_3 等包含 S i 原子的气体， TiCl_4 、 TiBr_4 、 $\text{Ti}(\text{CH}_3)_4$ 等包含 T i 原子的气体，双乙酰丙酮化铜 $\text{Cu}(\text{C}_5\text{H}_7\text{O}_2)_2$ 、双二叔戊酰甲烷化铜 $\text{Cu}(\text{C}_{11}\text{H}_{19}\text{O}_2)_2$ 、双六氟乙酰丙酮化铜 $\text{Cu}(\text{C}_5\text{HF}_6\text{O}_2)_2$ 等包含 C u 原子的气

体。

另外，由于上述A1—CVD法即是选择性很好的成膜方法，又能使淀积出的膜具有良好的表面特性，所以，在后面的淀积工序中用非选择性成膜方法，在上述选择淀积得到的A1膜及作为绝缘膜的SiO₂上，也形成A1或A1为主要成分的金属膜，就可以得到通用性高的合适的金属膜，用来作为半导体器件的布线。

具体的这类金属膜如下所列。选择淀积的A1、A1—Si、A1—Ti、A1—Cu、A1—Si—Ti、A1—Si—Cu，与非选择淀积的A1、A1—Si、A1—Ti、A1—Cu、A1—Si—Ti、A1—Si—Cu的组合等。

关于非选择淀积的成膜方法，有除上述A1—CVD法外的CVD法或溅射法等。

(成膜装置)

下面介绍适用于形成本发明的电极的成膜装置。

图12至图14示意地表示出适用于上述成膜方法的金属膜连续形成装置。

该金属膜连续形成装置，如图12所示，由依靠阀门310a~310f在与大气隔绝的情况下可相互连通的装料阀门室311、作为第1成膜室的CVD反应室312、Rf腐蚀室313、作为第2成膜室的溅射室314以及另一个装料阀门室315构成，各室由各自的抽气系统316a~316e抽气减压。这里，上述的装料阀门室311是为提高吞吐量，在淀积处理之前把基片周围气氛抽净后，换入H₂气氛所用的室。CVD反应室312是依照上述A1—CVD

法，基本上在常压或减压下进行选择淀积的室，其构成是室内设有一个具有加热电阻 3 1 7 的基片支承件 3 1 8，可把要淀积的基片表面至少加热到 $200^{\circ}\text{C} \sim 450^{\circ}\text{C}$ 的范围内，同时由 CVD 用原料气体通过导入管 3 1 9 导入室内，（这些原料气体有由氢气经鼓泡瓶 3 1 9 - 1 鼓泡气化的氢化烷基铝等），而作为反应气体的氢气是通过气体管道 3 1 9' 导入的。下面的 RF 腐蚀室 3 1 3 是在 Ar 的气氛中对选择淀积后的基片表面进行腐蚀清洁的室。室内设有一个可把基片至少在 $100^{\circ}\text{C} \sim 250^{\circ}\text{C}$ 范围内加热的基片支承件 3 2 0 和一个 RF 腐蚀用的电极线 3 2 1，同时也与 Ar 气供给管 3 2 2 相接。再下面的溅射室 3 1 4 是在 Ar 气气氛中用溅射法在基片表面上非选择淀积金属膜的室。室内设有一个至少可在 $200^{\circ}\text{C} \sim 250^{\circ}\text{C}$ 范围内加热的基片支承件 3 2 3 和一个固定溅射靶材 3 2 4 a 的靶电极 3 2 4，同时与 Ar 气供给管 3 2 5 相接。最后的装料阀门室 3 1 5 是在完成金属膜淀积之后，将基片取出进入大气之前的调整室。其构成便于用 N_2 气更换反应气氛。

图 1 3 表示适用于上述成膜方法的金属膜连续形成装置的另一种结构实例。与图 1 2 相同的部分用相同的标号表示。图 1 3 的装置与图 1 2 的装置的不同点在于，设置了卤素灯 3 3 0 作为直接加热装置，故基片表面可被直接加热，为此，在基片支承件 3 1 2 上安置一个卡爪 3 3 1，用以把基片保持在悬浮状态。

用此种构成的直接加热基片表面的办法，可将如上所述的淀积速度进一步提高。

上述构成的金属膜连续形成装置，实际上如图 1 4 所示，实质上

等效于以输运室 3 2 6 为中继室、把上述装料闸门室 3 1 1、O V D 反应室 3 1 2、R F 腐蚀室 3 1 3、溅射室 3 1 4 以及另一个装料闸门室 3 1 5 相互连结起来而构成的装置。按此种结构，装料闸门室 3 1 1 兼作装料闸门室 3 1 5。在上述输运室 3 2 6 中，如图所示，设置一个可沿 A A 方向正反旋转、且可沿 B B 方向伸缩的作输运装置的臂 3 2 7、如图 1 5 中箭头所示，移动该臂 3 2 7，可在工艺过程中使基片在不暴露于大气的条件下，依次连续地从装料闸门室 3 1 1 移动到 O V D 室 3 1 2、R F 腐蚀室 3 1 3、溅射室 3 1 4、再到装料闸门室 3 1 5。

(成膜过程)

现在说明形成根据本发明的电极和布线的成膜过程。

图 1 6 是说明根据本发明的电极和布线的成膜过程的示意透视图。

首先作概略说明。准备一个具有在绝缘膜上形成了开孔的半导体基片，将基片安放到成膜室内，使其表面保持在 $260^{\circ}\text{C} \sim 450^{\circ}\text{C}$ 根据用氢化烷基铝的 D M A H 气体与氢气的混合气氛中的热 O V D 法将 A l 选择淀积在开孔内暴露出的那部分半导体上。当然，如上所述那样导入含有 S i 原子的气体，也可以淀积 A l—S i 一类的以 A l 作主要成分的金属膜。然后用溅射法在选择淀积的 A l 和绝缘膜上非选择地形成一层 A l 或以 A l 为主要成分的金属膜。此后，在非选择淀积的金属膜上光刻形成所希望的布线形状，可形成电极及布线。

其次，参照图 1 3 和 1 6 作具体说明。首先，准备一基片。作为基片，例如准备在单晶 S i 晶片上形成设有各种孔径的开孔的绝缘

膜。

图 1 6 (A) 是表示晶片一部分的示意图。这里，4 0 1 是作为导电基片的单晶硅基片，4 0 2 是热氧化硅膜，作绝缘膜（层）。

4 0 3 和 4 0 4 是开孔（暴露出的部位），其孔径各不相同。4 1 0 是暴露出的 S 1 槽的底部。

在基片上形成将成为第一布线层的电极的 A 1 膜的工序，参照图 1 3 介绍如下。

首先，将上述的晶片放入装料闸门室 3 1 1，如上所述，将氢气导入该装料闸门室 3 1 1 作为氢气气氛。然后，用抽气系统 3 1 6 b 把反应室 3 1 2 抽真空达到约 1×10^{-8} 托。但是反应室 3 1 2 内的真空度劣于 1×10^{-8} 托，也能形成 A 1 膜。

然后，由气体管道 3 1 9 供给经过鼓泡的 DMAH 气体。DMAH 管道的携带气体用 H_2 。

第二气体管道 3 1 9' 是为反应气体 H_2 而设的。 H_2 从该第二气体管道 3 1 9' 流出，调整未图示的慢渗漏阀的打开程度，把反应室 3 1 2 内的压力控制在一个预定值。此情况下的典型压力最好是大约 1.5 托。由 DMAH 管道把 DMAH 导入反应管内。使总压强近似为 1.5 托，而 DMAH 的分压强近似为 5.0×10^{-8} 托。然后，给卤素灯 3 3 0 通电、直接加热晶片。这样就可选择淀积 A 1。

经过预定的淀积时间后，立刻停止 DMAH 的供给。在此过程中，A 1 膜的预定淀积时间是指使 S 1（单晶硅基片 1）上的 A 1 膜厚度达到等于 S 1 0，（热氧化硅膜 2）的膜厚的时间，这可根据实验事先测定。

由此时的直接加热把表面温度控制在大约 270°C 。根据至此为止的工艺过程，如图 16 (B) 所示，把 A 1 膜 405 选择淀积在开孔内和槽内。

以上称为在接触孔内形成电极的第一成膜步骤。

在上述第一成膜步骤之后，用抽气系统 316 b 把 CVD 反应室 312 抽气到真空度为 5×10^{-8} 托以下。同时将 Rf 腐蚀室 312 抽气至 5×10^{-6} 托以下。确认两室达到上述真空度后，打开阀门 310 c，用输送装置把基片从 CVD 反应室 312 移送到 Rf 腐蚀室 313，关闭阀门 310 c。把基片输送到 Rf 腐蚀室 313，用抽气系统 116 c 把 Rf 腐蚀室 313 直抽到使真空度为 10^{-6} 托或更高的真空度。然后，经 Rf 腐蚀用氩气供给管道 322 提供氩气，使 Rf 腐蚀室 313 保持在 $10^{-1} \sim 10^{-8}$ 托的氩气气氛中。把 Rf 腐蚀用基片支承件 320 保持在 200°C ，给 Rf 腐蚀用电极 321 施加 100 W 的 Rf 功率，大约 60 秒，就可激发 Rf 腐蚀室 313 内的氩气放电。如若这样，用氩离子腐蚀基片的表面，可除掉 CVD 淀积膜的不要的表面层。在这种情况下下的腐蚀深度大约相当于氧化层的厚度，大约 100 Å。还有，这里，CVD 淀积膜的表面腐蚀是在 Rf 腐蚀室中进行的，又因在真空中输送基片上的 CVD 膜的表面层不含大气中的氧，因此不进行 Rf 腐蚀也无妨。这种情况下，当 Rf 腐蚀室 313 与 CVD 反应室 312 及溅射室 314 的温差较大时，Rf 腐蚀室 313 起着在短时间内实现温度变化的温度变更室的作用。

在 Rf 腐蚀室 313 内，完成 Rf 腐蚀之后，停止输入氩气，将

Rf 反应室 313 抽真空至 5×10^{-6} 托。再把溅射室 314 抽到 5×10^{-6} 托以下之后，打开阀门 310d。然后把基片用运输装置从 Rf 腐蚀室 313 移动到溅射室 314，再关闭阀门 310d。

在基片输送到溅射室 314 之后，像 Rf 腐蚀室 313 那样，使溅射室 314 处于 $10^{-1} \sim 10^{-3}$ 托的氩气气氛中，把已放置了基片的基片支承件 323 的温度设定在 $200 \sim 250^\circ\text{C}$ 。然后，用 $5 \sim 10 \text{ KW}$ 的直流功率使氩气放电。用氩离子轰击诸如 Al 或 Al-Si (Si: 0.5%) 等靶材，使 Al 或 Al-Si 等金属以 $10000 \text{ \AA}^\circ/\text{分钟}$ 左右的淀积速度进行成膜。该工艺过程是非选择的淀积工艺。把该步工艺称为形成与电极相连接的布线的第二成膜步骤。

在基片上大约形成 5000 \AA 的金属膜后，停止供给氩气，并停止施加直流功率。在把装料闸门室 311 抽真空到 5×10^{-3} 托以下之后，打开阀门 310e，移动基片。在把阀门 310e 关闭后，让 N_2 气流装料闸门室 311，直到达到一个大气压，打开阀门 31310f，从装置中取出基片。

若依照上述第二 Al 膜淀积工艺过程，如图 16(c) 所示，可在 SiO_2 膜 402 上形成 Al 膜 406。

然后，把 Al 膜 406 刻成如图 16(d) 所示的图形，可得到所要求的布线形状。

(实验例)

下面根据实验结果，说明上述 Al-CVD 法的出色效果，以及由此方法淀积于开孔内的 Al 是怎样优质的膜。

首先，在作为衬底的N型单晶硅的表面热氧化形成SiO₂的，进行光刻成形准备出多个0.25μm×0.25μm到100μm×100μm见方的各种孔径的开孔，露出下面的Si单晶（样品1-1）。

依照以下条件，用AL-CVD法，在这些基片上形成Al膜。以DMAH为原料气体，以氢气为反应气体，总压强为1.5托，DMAH分压强为5.0×10⁻³托，调整流过卤素灯的功率，直接加热，将基片表面温度设置在200℃~490℃，进行成膜。

其结果如表1所示。

表 1

晶片表面温度 (°C)	200	230	250	260	270	280	300	350	400	440	450	460	470	480	490
冷却速度 ($^{\circ}\text{C}/\text{分}$)	$\leftarrow 1000 - 1500$		*					3000	-	5000					
S 1 附线 缺陷	\leftarrow 未见...														
含碳率	\leftarrow 未检测到														
电阻率 ($\mu\Omega\text{cm}$)	$\leftarrow 2.7 - 3.3$		*						2.8 - 3.4						
反射率 (%)	$\leftarrow 85 - 95$		*					90 - 95		*			60		
1 μm 以上凹坑密度 (cm^{-2})	$\leftarrow 1 - 30^2$		*					0 - 10		*			10 - 10 ⁴		
缺陷发生率 (%) (0.15 μm 缺陷破坏率)	$\leftarrow 0$									*			0 - 30		

由表 1 可见, 当直接加热基片表面温度在 260°C 以上时, Al 以 $3000 \sim 5000 \text{ \AA}/\text{分钟}$ 的高淀积速度选择淀积在开孔内。

当基片表面温度在 $260^{\circ} \sim 440^{\circ}\text{C}$ 的范围内, 检测开孔内的 Al 膜特性时, 判明膜特性良好不含碳、电阻率为 $2.8 \sim 3.4 \mu\Omega\text{cm}$, 反射率为 $90 \sim 95\%$, $1 \mu\text{m}$ 以上小丘的密度为 $0 \sim 10$ 、几乎无尖峰产生 (0.15μ 结的损坏概率)。

相反, 当基片表面温度为 $200^{\circ}\text{C} \sim 250^{\circ}\text{C}$ 时, 与 $260^{\circ}\text{C} \sim 440^{\circ}\text{C}$ 的情况相比, 膜的质量稍微逊色, 虽然从现有技术来看还是相当不错的, 但其淀积速度还不能说是十分高。

还有, 基片表面温度若高于 450°C , 反射率为 60% 以下, $1 \mu\text{m}$ 以上小丘密度为 $10 - 10^4 \text{ cm}^{-2}$ 、合金尖峰的发生为 $0 \sim 30\%$ 、开孔内的 Al 膜的特性变差。

下面说明上述方法如何能适用于诸如接触孔或通孔一类的开孔。也就是说, 它较好地适用于由下述材料构成的接触孔/通孔结构。

在与上述样品 1-1 形成 Al 膜相同的条件下, 在具有如下所述结构的基片 (样品) 上, 形成 Al 膜。

在作为第 1 基片表面材料的单晶硅上, 按 CVD 法形成作为第二基片表面材料的二氧化硅膜、按光刻工艺步骤进行刻图。露出部分单晶硅的表面。

此时的热氧化 SiO_2 膜的厚度为 8000 \AA , 单晶硅的露出部位, 即开口的尺寸为 $0.25 \mu\text{m} \times 0.25 \mu\text{m} \sim 100 \mu\text{m} \times 100 \mu\text{m}$ 。这样就制备了样品 1-2 [以下把此种样品记作 "CVD

SiO₂ (以下略称SiO₂)单晶硅]。

样品1—3是用常压CVD法成膜的掺硼氧化膜(以下略称BSG)/单晶硅。

样品1—4是用常压CVD法成膜的掺磷氧化膜(以下略称PSG)/单晶硅。

样品1—5是用常压CVD法成膜的掺磷和硼的氧化膜(以下缩写为BPSG)/单晶硅。

样品1—6是用等离子体CVD法成膜的氮化膜(以下略称PSiN)/单晶硅。

样品1—7是热氮化膜(以下略称T—SiN)/单晶硅。

样品1—8是用减压CVD法成膜的氮化膜(以下略称LP—SiN)/单晶硅。

样品1—9是用ECR装置成膜的氮化膜(以下略称ECR—SiN)/单晶硅。

、还有,如下所列的由第1基片表面材料(18种)与第2基片表面材料(9种)的全组合,构成样品1—11至1—179(注意,缺少样品号1—10、20、30、40、50、60、70、80、90、100、110、120、130、140、150、160、170)。采用单晶硅(单晶Si)、多晶硅(多晶Si)、非晶硅(非晶Si)、钨(W)、钼(Mo)、钽(Ta)、硅化钨(WSi)、硅化钛(TiSi)、铝(Al)、铝硅(Al—Si)、钛铝(Al—Ti)、氮化钛(Ti—N)、铜(Cu)、铝—硅铜(Al—Si—Cu)、铝钯(Al—Pd)、钛(Ti)

硅化钼 (Mo—Si)、硅化钽 (Ta—Si) 作为第一基片表面材料。采用 T—SiO₂、SiO₂、BSG、PSG、BPSG、P—SiN、T—SiN、LP—SiN、EOR—SiN 作第 2 基片表面材料。以上所有的样品均可形成与样品 1—1 相比的良好的 Al 膜。

然后，在如上所述的选择淀积了 Al 的基片上，采用溅射方法，非选择地淀积 Al，再进行刻图。

其结果，采用溅射法得到的 Al 膜和开孔内选择淀积的 Al 膜相比，由于开孔内的 Al 膜表面性能好，其接触状态在电气和机械两方面都具有高的耐久性。

如上所述，根据本发明，由于把控制电极隐埋在半导体基片表面的下部，可以实现面积小，而且表面平坦的绝缘栅型晶体管，从而可以得到高速且可靠性高的绝缘栅型晶体管。

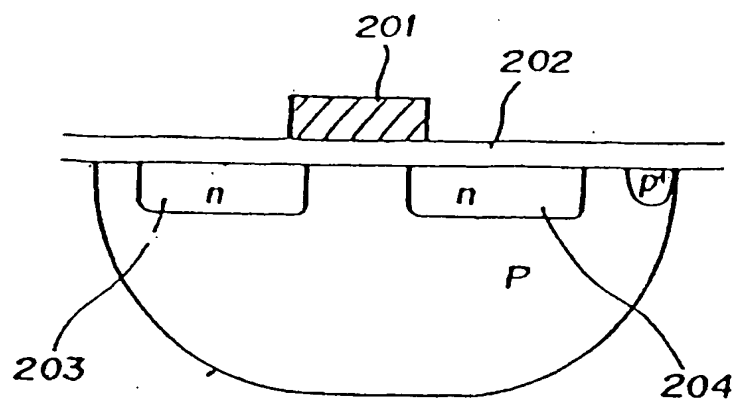


图. 1

现有技术

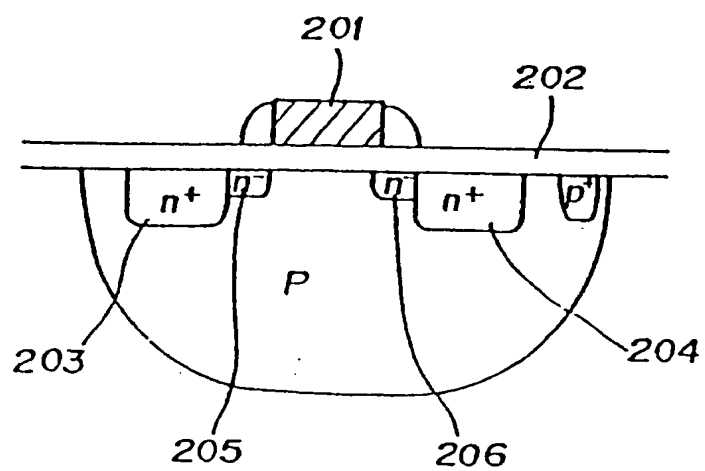


图. 2 现有技术

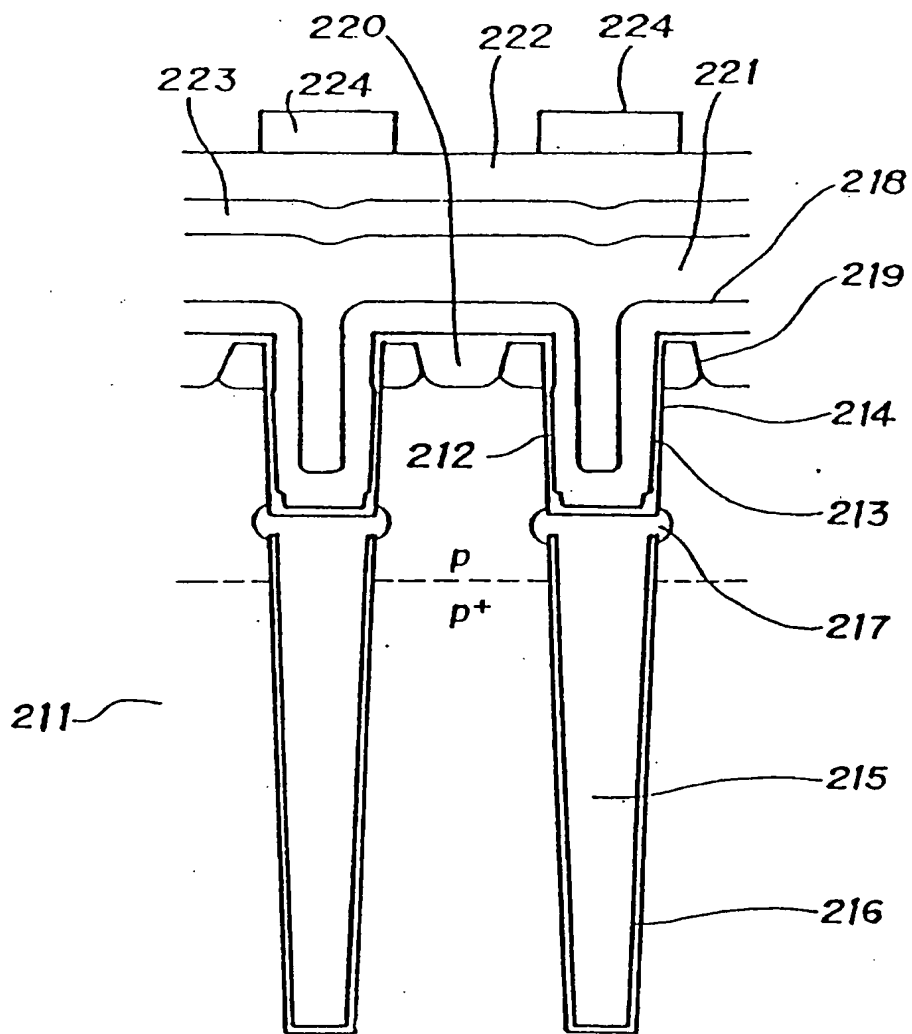


图. 3

现有技术

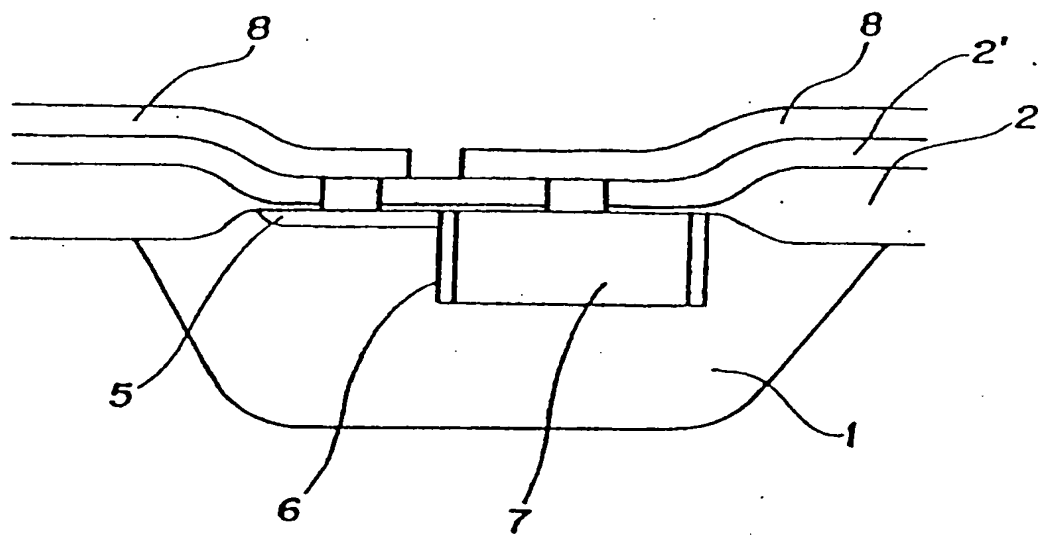
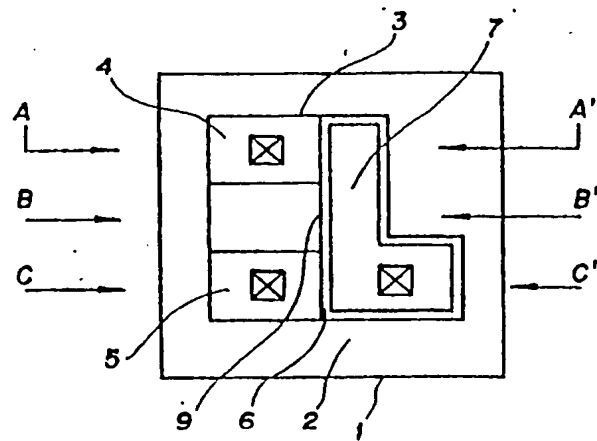


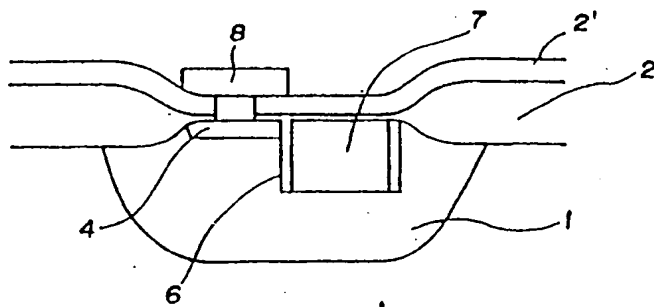
图. 4

图 5

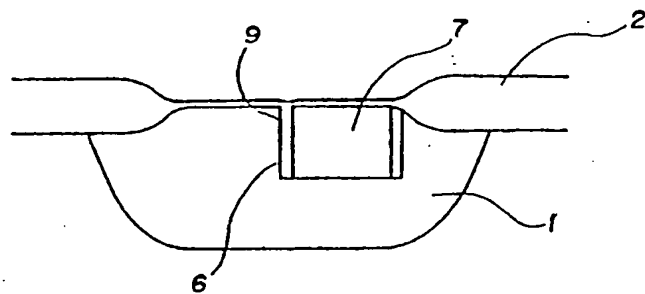
(a)



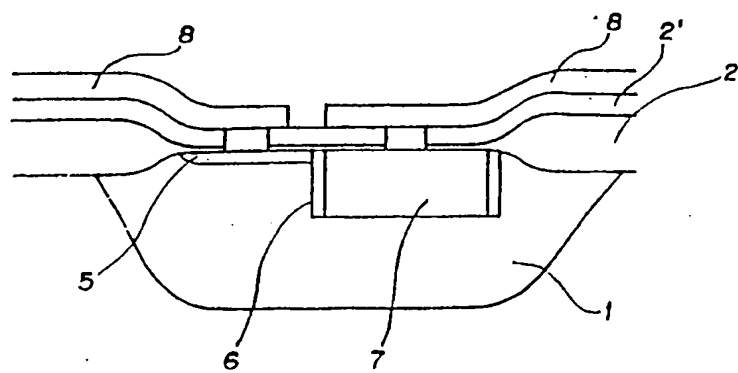
(b)



(c)



(d)



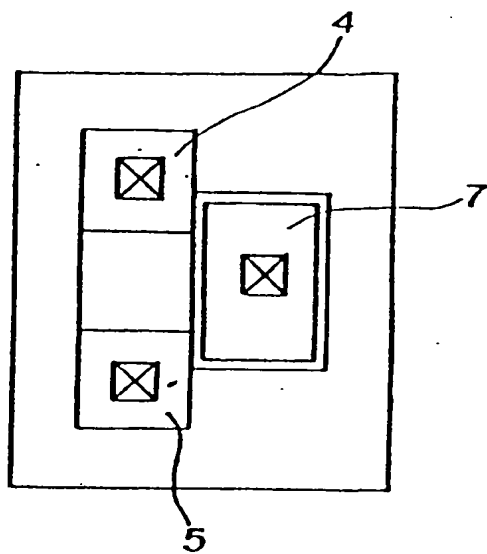


图. 6

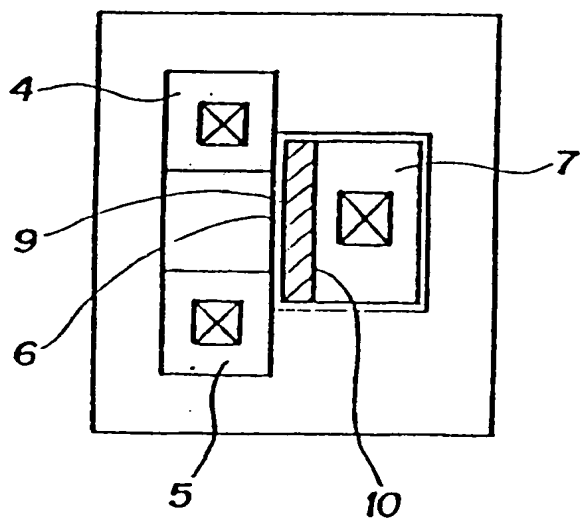


图. 7

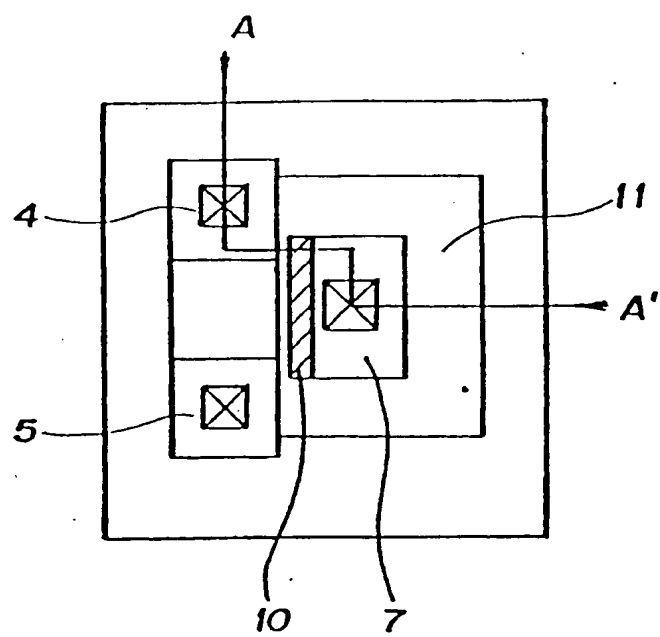


图. 8

图 9

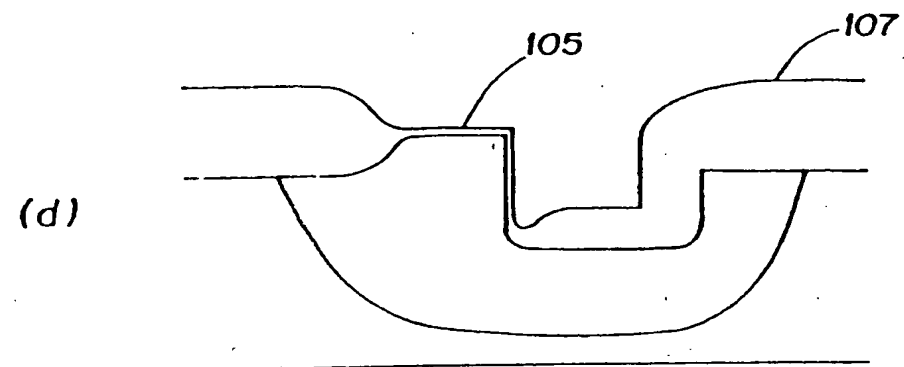
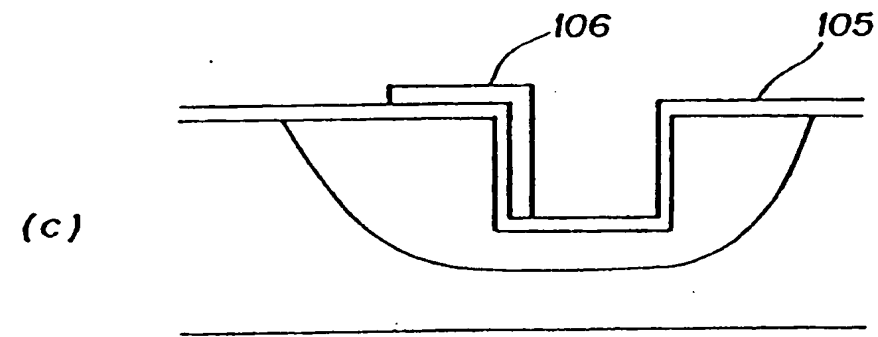
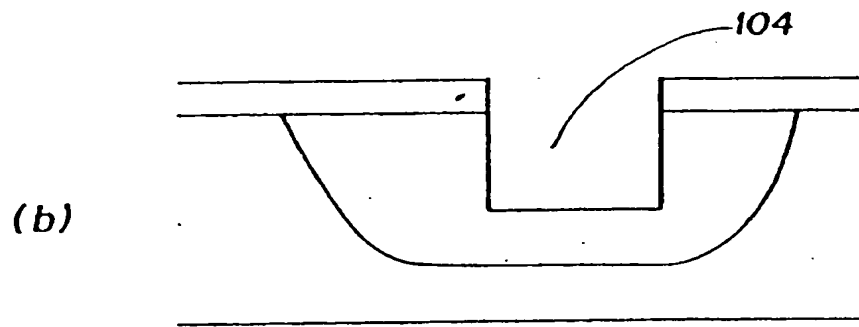
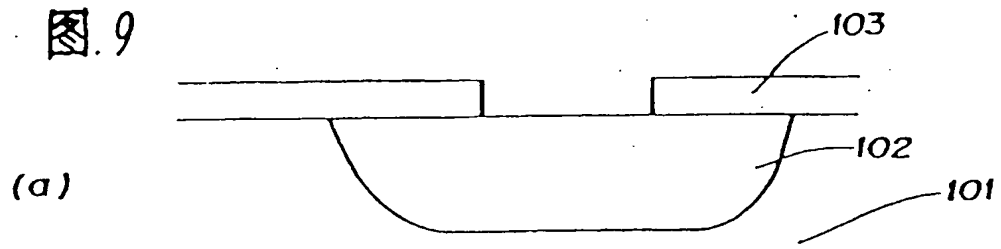
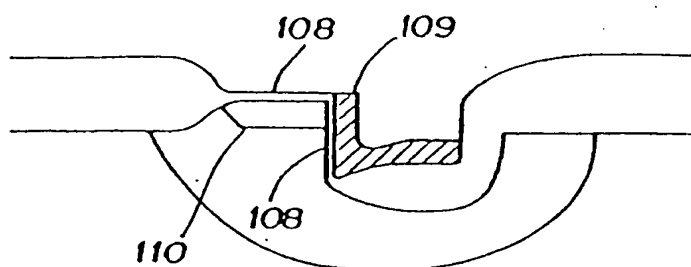
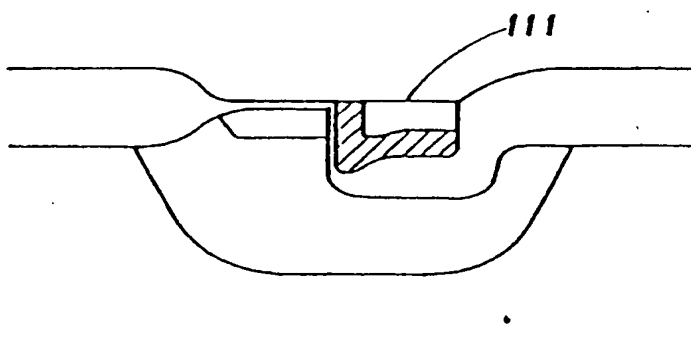


图. 9

(e)



(f)



(g)

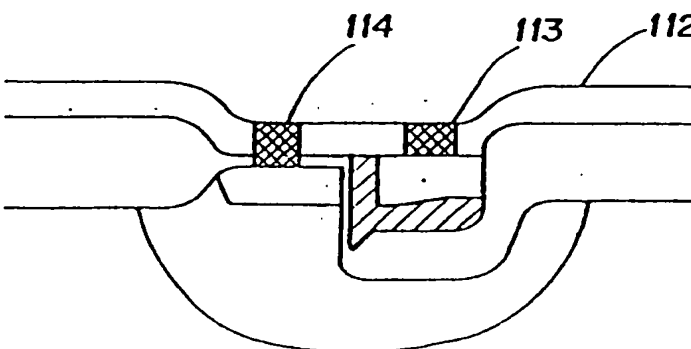


图. 10

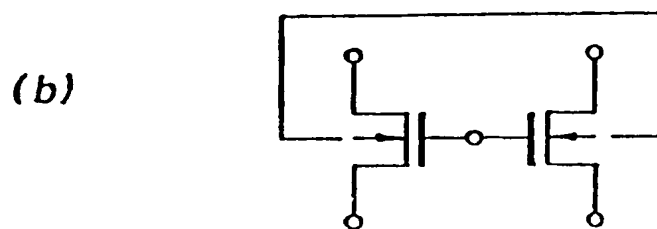
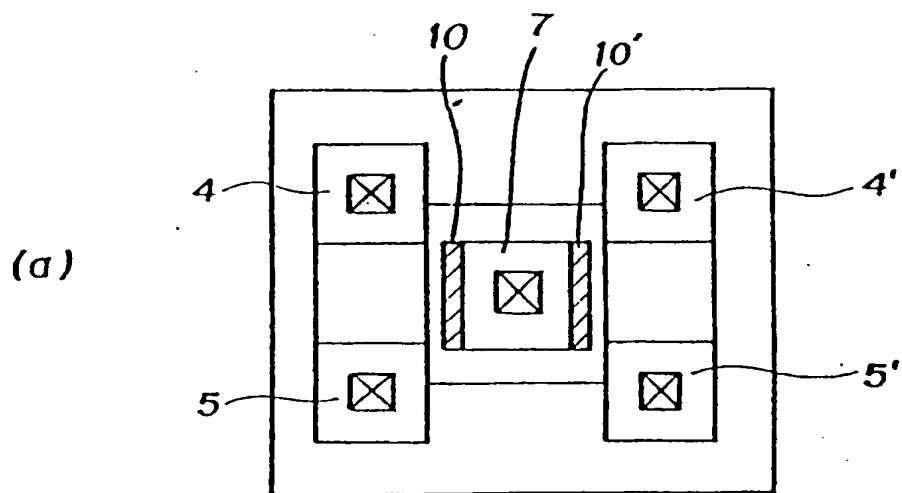
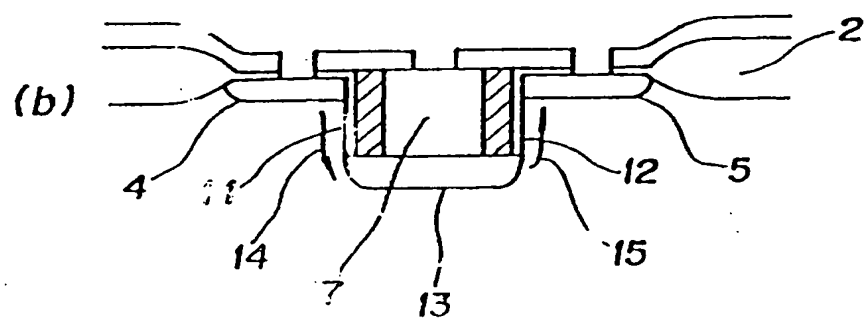
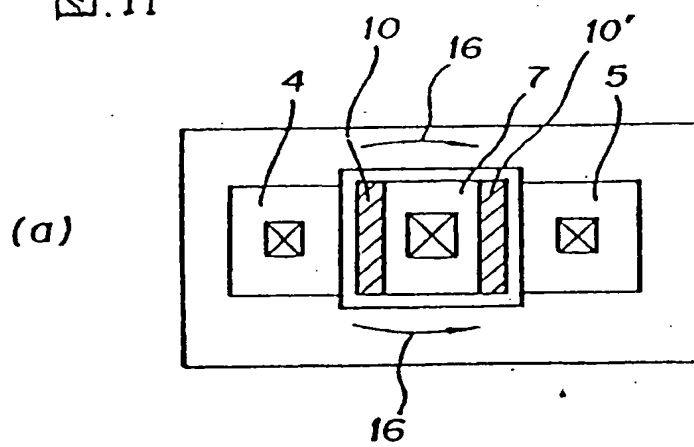


图.11



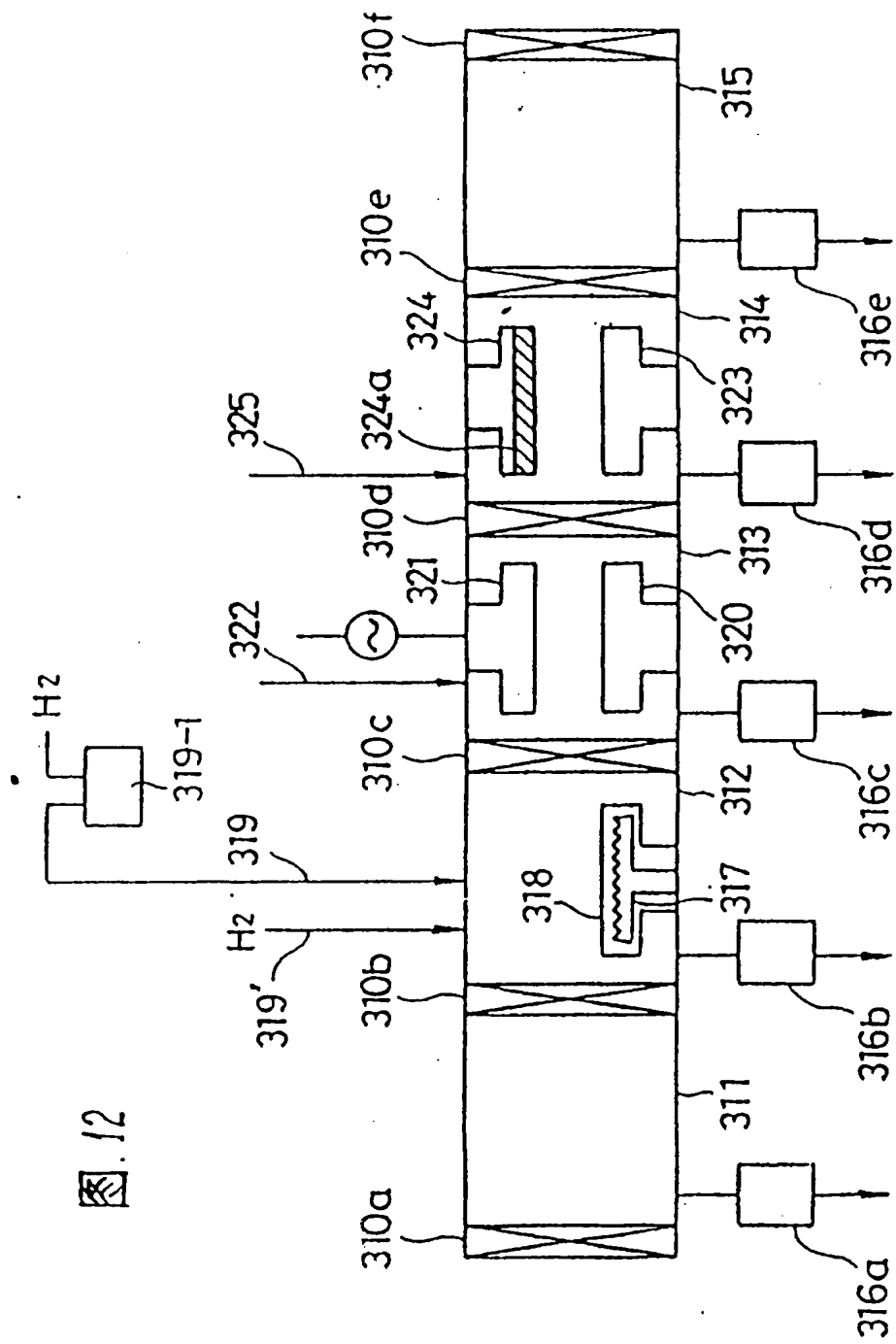
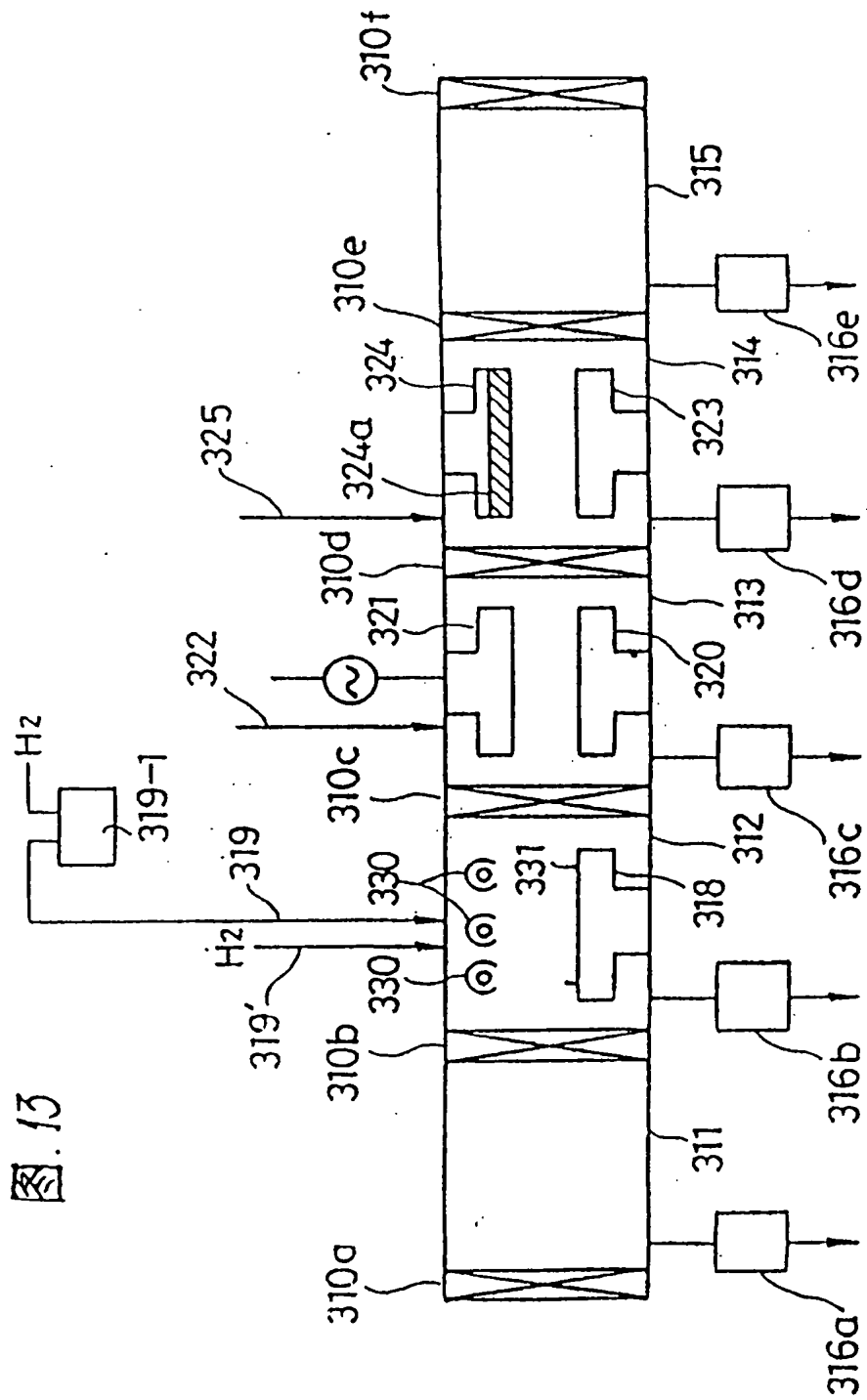


图. 12

图. 13



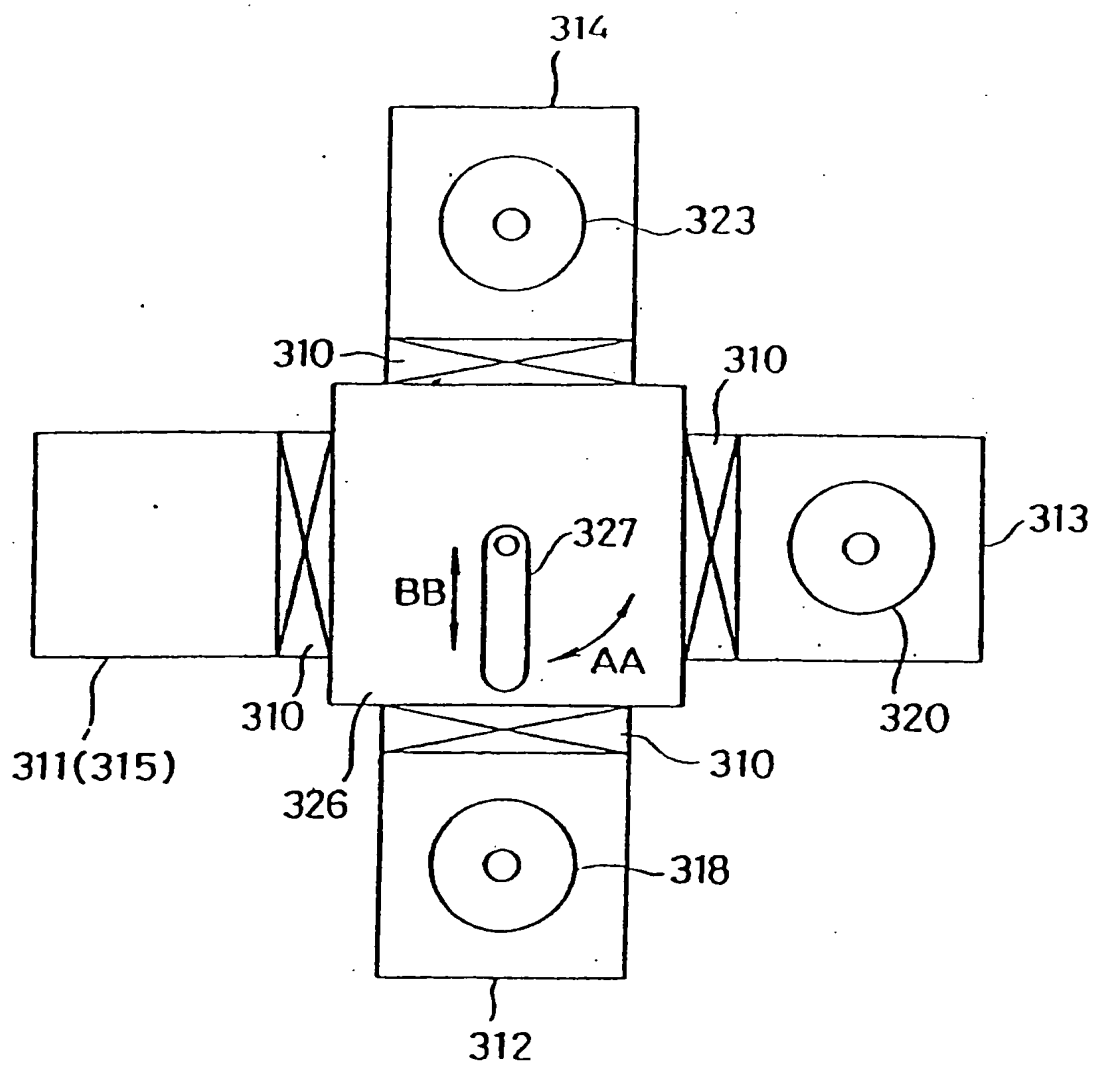


图. 14

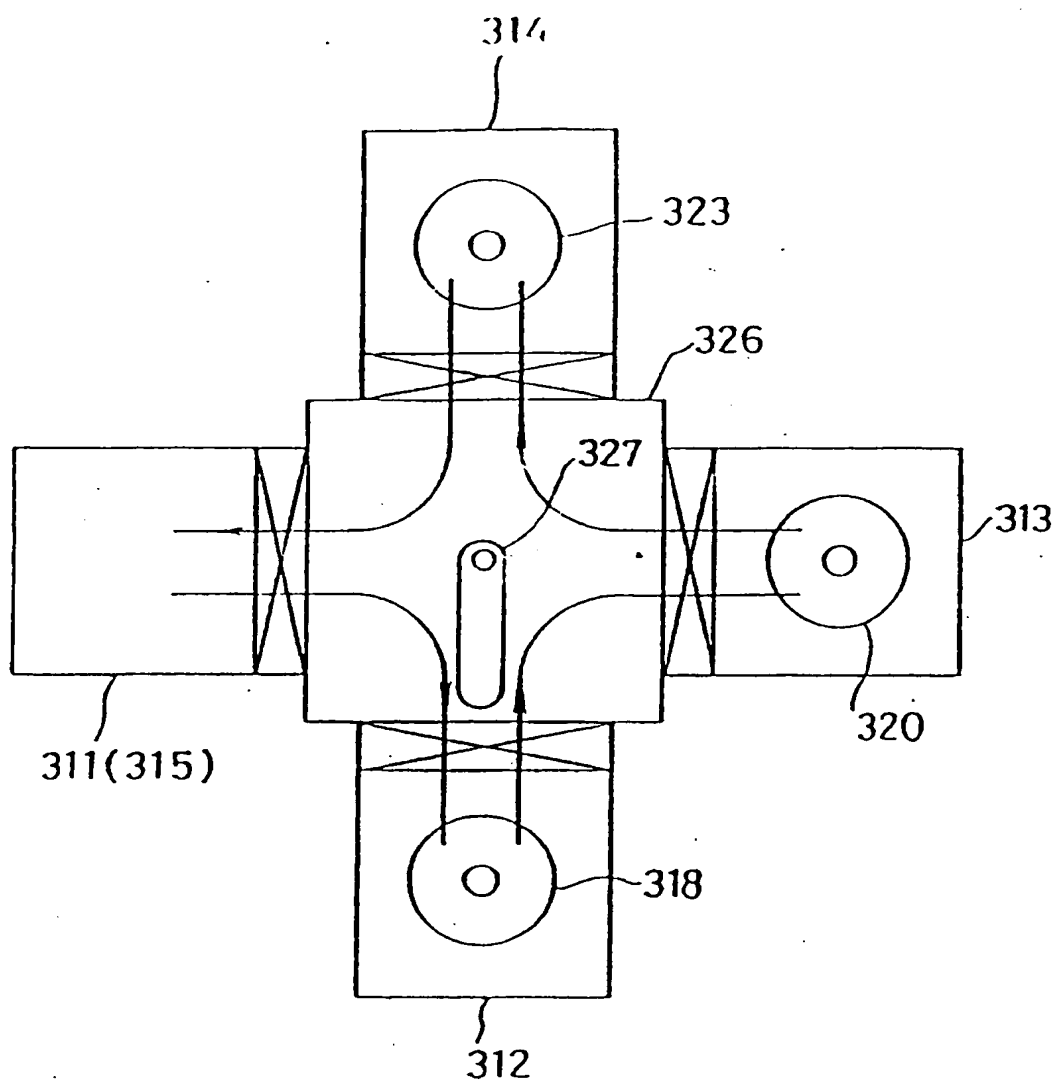
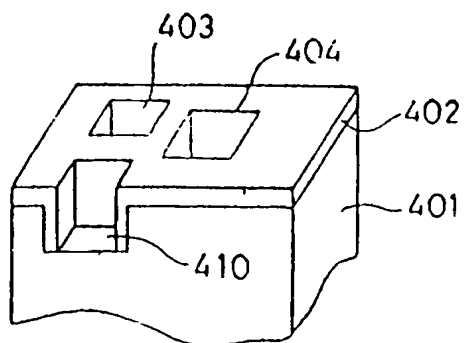


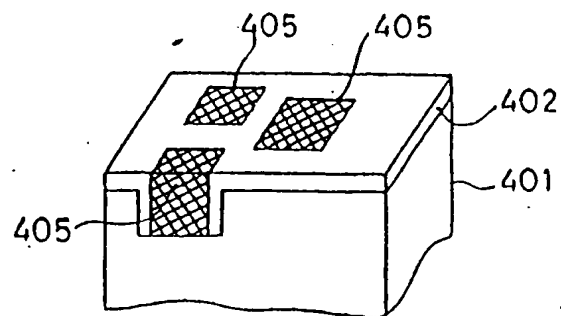
图. 15

图.16

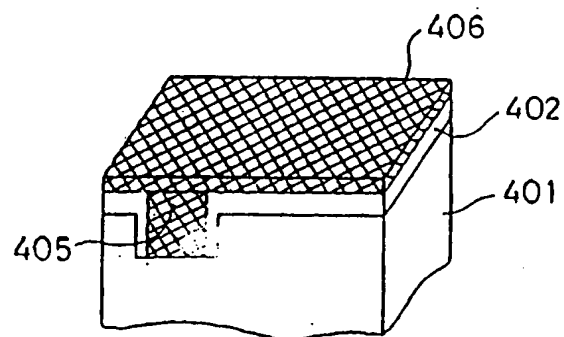
(A)



(B)



(C)



(D)

